

CELL MULTI-ADDRESS DEVICE

Reference 2

Publication number: JP2000115178

Publication date: 2000-04-21

Inventor: SASAKI YASUHITO; YAMANAKA HIDEAKI; SAITO YASUTAKA; TSUZUKI MUNENORI

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- international: H04Q3/00; H04L12/18; H04L12/28; H04Q3/00; H04L12/18; H04L12/28; (IPC1-7): H04L12/28; H04L12/18; H04Q3/00

- European:

Application number: JP19980279569 19981001

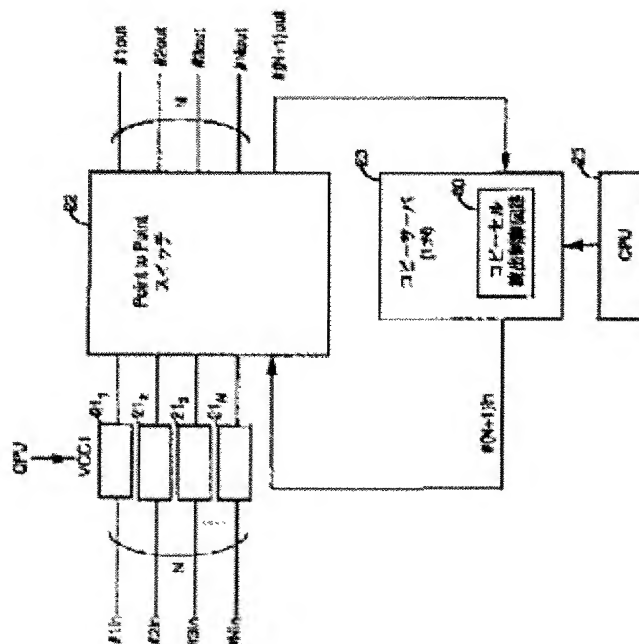
Priority number(s): JP19980279569 19981001

Report a data error here

Abstract of JP2000115178

PROBLEM TO BE SOLVED: To provide a multi-cast type ATM cell multi-address device by a space type trunk system provided with the speed adjustment function of a copy cell.

SOLUTION: When the cell of a multi-cast call is inputted, header converters 211-21N add a code tag for performing routing to a copy server 23 to the cell, attach an internal identifier instead of a new VPI/VCI and input it to a switch 22. The switch 22 routes the cell to an outgoing highway #(N+1)out indicated by the code tag. Inside the copy server 23, the plural sets of the code tag and the new VPI/VCI for performing routing to one of the outgoing highways #1 out-#Nout are retrieved based on the internal identifier of the ATM cell, they are replaced to the cell and the (c) pieces of the copy cells are generated. The copy cells are tentatively fetched into a copy cell read control circuit 30, the copy cells are managed for respective destination groups, and after adjusting a cell output timing for the respective groups, the copy cells are outputted to an incoming highway #(N+1)in.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-115178

(P2000-115178A)

(43) 公開日 平成12年4月21日 (2000. 4. 21)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 4 L 12/28

H 0 4 L 11/20

H 5 K 0 3 0

12/18

H 0 4 Q 3/00

H 0 4 Q 3/00

H 0 4 L 11/18

審査請求 未請求 請求項の数16 O L (全 21 頁)

(21) 出願番号 特願平10-279569

(22) 出願日 平成10年10月1日 (1998. 10. 1)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 佐々木 康仁

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 山中 秀昭

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100102439

弁理士 宮田 金雄 (外2名)

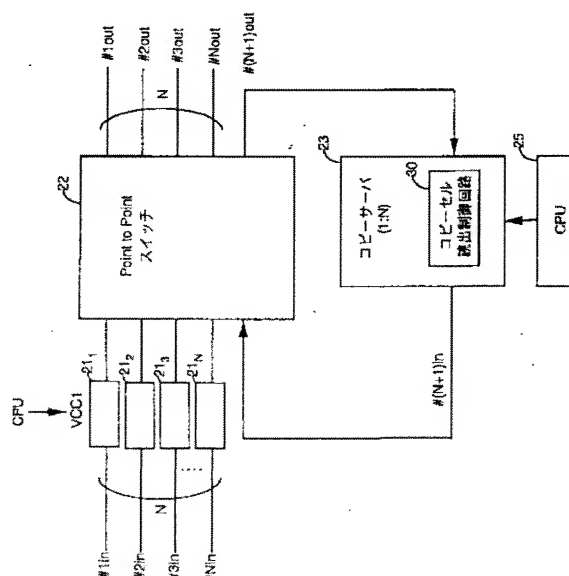
最終頁に続く

(54) 【発明の名称】 セル同報装置

(57) 【要約】

【課題】 コピーセルの速度調整機能を備えた空間型トランク方式によるマルチキャスト型ATMセル同報装置を提供する。

【解決手段】 マルチキャスト呼のセルが入力すると、ヘッダ変換機21₁～21_Nは該セルにコピーサーバ23へルーティングするためのコードタグを付加し、かつ、新たなVP I/VCIの代わりに内部識別子を付けてスイッチ22へ入力する。スイッチ22は該セルをコードタグが指示する出ハイウェイ#(N+1)outにルーティングする。コピーサーバ23内では該ATMセルの内部識別子をもとに#1out～#Noutのいずれか1つの出ハイウェイへルーティングするコードタグと新たなVP I/VCIの組を複数個検索し、それらを該セルに付け替えてc個のコピーセルを生成する。コピーセルはコピーセル読出制御回路30内に一旦取り込み、宛先グループ別にコピーセルを管理し、グループ毎にセル出力タイミングを調整した後にコピーセルを入ハイウェイ#(N+1)inへ出力する。



【特許請求の範囲】

【請求項 1】 ATMセルのヘッダを内部のヘッダに変換し、同報の場合は特定の内部識別子に変換して入ハイウェーへ出力するヘッダ変換手段と、該ヘッダ変換手段からのATMセルを上記入ハイウェーから入力し、内部ヘッダに基づいて上記入ハイウェーと出ハイウェーとのスイッチングを行い、同報の場合には上記内部識別子に基づいて上記ATMセルを特定の出ハイウェーへスイッチングするスイッチ手段と、上記特定の出ハイウェーから入力した上記ATMセルを上記内部識別子に基づいて所定の数コピーし、得られたATMセル（以下コピーセルという）の各々をそれぞれの出ハイウェー宛てに送出するように内部ヘッダを付加して上記スイッチング手段へ出力するコピーサーバと、を備え、1つのATMセルを指定された複数の出ハイウェイにコピーしてルーチングするマルチキャスト機能を備えたセル同報装置において、上記コピーサーバは、宛先グループ間でコピーセルの出力タイミングを調整することを特徴とするセル同報装置。

【請求項 2】 ATMセルのヘッダを内部のヘッダに変換し、同報の場合は特定の内部識別子に変換して入ハイウェーへ出力するヘッダ変換手段と、該ヘッダ変換手段からのATMセルを上記入ハイウェーから入力し、内部ヘッダに基づいて上記入ハイウェーと出ハイウェーとのスイッチングを行い、同報の場合には上記内部識別子に基づいて上記ATMセルを特定の出ハイウェーへスイッチングするスイッチ手段と、上記特定の出ハイウェーから入力した上記ATMセルを上記内部識別子に基づいて所定の数コピーし、得られたATMセル（以下コピーセルという）の各々をそれぞれの出ハイウェー宛てに送出するように内部ヘッダを付加して上記スイッチング手段へ出力するコピーサーバと、を備え、1つのATMセルを指定された複数の出ハイウェイにコピーしてルーチングするマルチキャスト機能を備えたセル同報装置において、上記コピーサーバは、宛先グループ別にコピーセルの出力タイミングを調整することを特徴とするセル同報装置。

【請求項 3】 コピーサーバは、宛先グループ間で又は宛先グループ別にコピーセルの出力タイミングを調整する読出制御回路を備えたことを特徴とする請求項 1 又は 2 に記載のセル同報装置。

【請求項 4】 コピーサーバは、コピーセルのデータを格納している出力バッファメモリや共通バッファメモリなどの記憶手段にアドレスを与えるタイミングを調整するコピーセル格納アドレス読出制御回路を備えたことを特徴とする請求項 1 又は 2 に記載のセル同報装置。

【請求項 5】 コピーセル読出制御回路は、コピーセルの宛先グループ別FIFOメモリとセレクトを備え、全宛先グループ間に公平でかつ周期的にコピーセルを読み出しかつ多重することを特徴とする請求項 1 に記載のセル同

報装置。

【請求項 6】 コピーセル読出制御回路は、コピーセルの宛先グループ番号と連続読出回数を対応させたコピーセル連続読出回数テーブルを備え、このコピーセル連続読出回数テーブルに従ってコピーセルを読み出しかつ多重することを特徴とする請求項 1 に記載のセル同報装置。

【請求項 7】 コピーセル読出制御回路は、コピーセルの宛先グループ別FIFOメモリと時分割多重の多重化回路を備え、全宛先グループ間に公平でかつ周期的にコピーセルを読み出しかつ多重することを特徴とする請求項 1 に記載のセル同報装置。

【請求項 8】 コピーセル読出制御回路は、複数の宛先グループ別FIFOメモリとそれぞれに対応するシェーピング回路を備えたことを特徴とする請求項 2 に記載のセル同報装置。

【請求項 9】 各宛先グループ別シェーピング回路に対して複数の宛先グループ別FIFOメモリを1対多の比で設けたことを特徴とする請求項 8 に記載のセル同報装置。

【請求項 1 0】 コピーセル読出制御回路は、スイッチの幾つかの出ハイウェイを重複することなく束ねたグループ別にコピーセルをキューイングする宛先グループ別FIFOメモリ群と、各宛先グループ別FIFOメモリからのコピーセル読み出しを制御する読出スケジュール回路と、コピーセルを読み出す宛先グループをスケジューリングした読出スケジュールテーブルとを備えたことを特徴とする請求項 1 に記載のセル同報装置。

【請求項 1 1】 コピーサーバは、ATMセルヘッダ内に書き込まれた内部識別子を抽出する内部識別子抽出回路と、発呼時に呼処理プロセッサの制御でセル同報する入力ATMセルヘッダ内の内部識別子に対応させた同報出ハイウェイ、新たなVPI/VCIを格納しているルーチンテーブル（以下RTBLという）と、上記内部識別子をもとに上記RTBLから複数回データを読み出すRTBL検索回路と、上記RTBLへの検索待ちに対応するため一時的に入力内部識別子を蓄積するヘッダFIFOメモリと、入力ATMセルを格納するセルバッファと、該セルバッファの入力ATMセルに出ハイウェイ、新たなVPI/VCIを付け替えるセルヘッダ付替回路と、該セルヘッダ付替回路によって生成されたコピーセルをスイッチへ出力するタイミングを調整するコピーセル読出制御回路とを備えたことを特徴とする請求項 1 又は 2 に記載のセル同報装置。

【請求項 1 2】 RTBLは内部識別子と、この内部識別子に対応し、出ハイウェーにルーチングするための情報であるコードタグと、VPI/VCIを備えたことを特徴とする請求項 1 1 に記載のセル同報装置。

【請求項 1 3】 RTBLは内部識別子と、この内部識別子に対応する同報番号と、コードタグと、VPI/VCIと、有効／無効フラグとを備えたことを特徴とする請求項 1 1 に記載のセル同報装置。

【請求項 1 4】 RTBL は内部識別子と、この内部識別子に対応する同報番号と、コードタグと、VPI/VCI と、エンドフラグとを備え、同報番号の最終番号にのみ上記エンドフラグを■1■に設定することを特徴とする請求項 1 1 に記載のセル同報装置。

【請求項 1 5】 同報時に ATM セルを複数コピーしてコピーセルを生成するコピーサーバと、このコピーサーバから入力している複数本の入ハイウェイと、上記コピーサーバへ出力している複数本の出ハイウェイを持つスイッチと、このスイッチからコピーサーバへ出力している複数本の出ハイウェイを時分割多重する多重化回路と、上記コピーサーバから上記スイッチへ入力している複数本の入ハイウェイを分離する分離化回路を備えたことを特徴とする請求項 1 又は 2 に記載のセル同報装置。

【請求項 1 6】 スイッチからコピーサーバへ出力している複数本の出ハイウェイとコピーサーバからスイッチへ入力している複数本の入ハイウェイを複数のグループに分割し、該グループ毎に割り当てられた複数本の出ハイウェイのみを時分割多重する多重化回路と、上記グループ毎に割り当てられた複数本の入ハイウェイのみを分離する分離化回路と、グループ毎に設けられたコピーサーバと、を備えたことを特徴とする請求項 1 又は 2 に記載のセル同報装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は広帯域 ISDN (Broadband Integrated Service Digital Network) で用いられる ATM (Asynchronous Transfer Mode) 交換機の同報機能を実現する同報装置の構成に関するものである。

【0 0 0 2】

【従来の技術】 図 1 8 は、例えば特開平 8-79253 号公報『マルチキャスト機能を備えた ATM 交換機』に示される従来の広帯域 ISDN に関するセル同報装置の構成図であり、従来の交換機の外部に同報装置であるトランクを設けた空間型トランク方式を用いた構成をとっている。図中、 $\#1in \sim \#Nin$ は入ハイウェイ、 $\#1out \sim \#Nout$ は出ハイウェイ、 $21_1 \sim 21_N$ は各入ハイウェイに設けられたヘッダ変換機 (VCC1)、22 は $2N$ 入力 / $(N+1)$ 出力のスイッチングを行うスイッチ部、23 はコピーサーバ、 $24_1 \sim 24_N$ はコピーサーバ 23 の各出力リンクに設けられたヘッダ変換機 (VCC2)、25 は呼処理プロセッサ (CPU) である。コピーサーバ 23 は呼処理プロセッサ 25 (CPU) から指示されている数 ($c \leq N$) のコピーセルを生成して出力リンクに出力する。各入ハイウェイ $\#1in \sim \#Nin$ に設けられたヘッダ変換機 $21_1 \sim 21_N$ はそれぞれ宛先までのルーチング情報を格納したルーチングテーブルを備えている。また各ヘッダ変換機 $24_1 \sim 24_N$ はそれぞれコピーセルを所定の出ハイウェイにルーチングするためのルーチングテーブルを備えている。

【0 0 0 3】 また、図 1 9 は、例えば特開平 5-199257 号

公報『セルスイッチ』に示される従来の空間型トランク方式を用いたセル同報装置の構成図であり、図 1 8 に示す従来例 1 におけるヘッダ変換機 (VCC2) 部分をコピーサーバ内部に持たせ、またコピーサーバとスイッチを接続するリンクが 1 本としている構成を示している。動作は図 1 8 と同様である。

【0 0 0 4】 また、図 2 0 は図 1 9 に示したコピーサーバ 23 の詳細な構成を示す構成図である。図において、231 はヘッダ変換機によって ATM セルヘッダ内に書き込まれた内部識別子を抽出する内部識別子抽出回路、232 は抽出された内部識別子をもとにルーチングテーブル RTBL 233 からデータを読み出す RTBL 検索回路、233 は発呼時に呼処理プロセッサ 25 の制御で、セル同報する入力 ATM セルヘッダ内の内部識別子に対応させた同報宛先出ハイウェイ、新たな VPI/VCI を登録している RTBL、234 は入力 ATM セルをそのまま格納するセルバッファ、235 はセルバッファ 234 の入力 ATM セルに同報宛先出ハイウェイ、新たな VPI/VCI を付け替えるセルバッファ付替回路である。また、セルバッファ付替回路 235 で生成されたコピーセルをコピーサーバ 23 からスイッチ 22 へ出力するタイミングを調整するコピーセル読出制御回路 30 (図示せず) は、コピーセルを蓄積するシングル FIFO メモリ 311 で構成される。

【0 0 0 5】 次に、従来の同報装置を備えた ATM 交換機の動作を説明する。マルチキャスト呼以外の ATM セルが入力すると、ヘッダ変換機 (VCC1) $21_1 \sim 21_N$ は該 ATM セルに出ハイウェイ $\#1out \sim \#Nout$ ヘルーチングするためのコードタグと新たな VPI/VCI をヘッダ変換機 (VCC1) 内のルーチングテーブルより求め、コードタグを ATM セルに付加すると共に、VPI/VCI を新たな VPI/VCI に付け替えてスイッチ 22 に入力する。スイッチ 22 は該 ATM セルをコードタグが指示する出ハイウェイにルーチングし、コードタグを除去して出ハイウェイへ送出する。

【0 0 0 6】 一方、マルチキャスト呼の ATM セルが入力すると、ヘッダ変換機 (VCC1) $21_1 \sim 21_N$ はこの ATM セルにコピーサーバ 23 ヘルーチングするためのコードタグを付加し、かつ、新たな VPI/VCI の代わりに内部識別子を付けてスイッチ 22 へ入力する。スイッチ 22 は該 ATM セルをコードタグが指示する出ハイウェイ $\#(N+1)out$ にルーチングする。

【0 0 0 7】 コピーサーバ 23 では出ハイウェイ $\#(N+1)out$ より ATM セルが入力すると、内部識別子抽出回路 231 がこの ATM セルより内部識別子を取り出し RTBL 検索回路 232 へ転送する。一方、ATM セル全体はセルバッファ 234 へ転送し保持する。ルーチングテーブル RTBL 233 には、呼処理プロセッサ 25 の制御により $c (\leq N)$ 個の内部識別子の各々に対応させて、(1) 出ハイウェイ $\#1out \sim \#Nout$ のうち 1 つの出ハイウェイを特定するコードタグと、(2) 正規の呼識別子である VPI/VCI が 1 つずつ登録されている。従って RTBL 検索回路 232 は、内部識別子を検索キーとして R

TBL233を検索することにより、(1)該ATMセルを出ハイウェイ#1out~#Noutにルーチングするためのコードタグと(2)正規のVPI/VCIを求める。

【0008】ついで、セルヘッダ付替回路235は、セルバッファ234より該ATMセルを読み出し、内部識別子とともに検索されたc個のうちの1つのコードタグと正規のVPI/VCIの組に付け替えてコピーセル読出制御回路30内のシングルFIFOメモリ311に書き込む。このセルヘッダ付替回路235の動作は、呼処理プロセッサ25から指示されているコピー数c(≤N)と同回数だけ行なわれる。シングルFIFOメモリ311に入ハイウェイ#1in~NinのN倍の速度で連続書き込みされたc個のコピーセルは、入ハイウェイ#(N+1)inへ入ハイウェイ#1in~Ninと等速~N倍速で読み出す。スイッチ22は入ハイウェイ#(N+1)inより入力したc個のコピーセルをそれぞれコードタグが指示する出ハイウェイにルーチングし、コードタグを除去して出ハイウェイへ送出する。

【0009】図21はマルチキャスト呼以外のATMセルを処理する例を示す説明図であり、ここではマルチキャスト呼以外のATMセルが入ハイウェイ#1inより入力してきた時のヘッダ処理例を示している。セルは、入ハイウェイ#1inに図22のセルフフォーマットで入力する。ヘッダ変換機(VCC1)21₁は、該ATMセルの旧VPI/VCIを検索キーとしてコードタグである#3outと新たなVPI/VCIであるaを得る。ついで、該ATMセルにコードタグである#3outを付加し、また新たなVPI/VCIであるaに付け替えてスイッチ22へ入力する。スイッチ22へは図23のセルフフォーマットで入力する。スイッチ22は、該ATMセルのコードタグである#3outにしたがって出ハイウェイ#3outへ交換する。同時に交換を終えたことにより不要になったコードタグを除去して出ハイウェイ#3outへ送出する。出ハイウェイ#3outでは図24のセルフフォーマットで出力する。

【0010】図27は、マルチキャスト呼のATMセルの処理例を示す説明図であり、ここではマルチキャスト呼のATMセルが入ハイウェイ#2inより入力してきた時のヘッダ処理例を示している。ATMセルは、入ハイウェイ#2inに図22のセルフフォーマットで入力する。ヘッダ変換機(VCC1)21₂は、該ATMセルの旧VPI/VCIに基づいてマルチキャスト呼を認識し、コピーサーバ23へルーチングするためのコードタグである#(N+1)outを付加し、出ハイウェイ#1, #2, #3へ同報する内部識別子である#2に付け替えてスイッチ22へ入力する。スイッチ22へは図23のセルフフォーマットで入力する。

【0011】スイッチ22は、該ATMセルのコードタグである#(N+1)outに従って出ハイウェイ#(N+1)outへ交換する。同時に交換を終えたことにより不要になったコードタグを除去して出ハイウェイ#(N+1)outへ送出する。出ハイウェイ#(N+1)outでは図25のセルフフォーマットで該ATMセルをコピーサーバ23へ出力する。

【0012】コピーサーバ23は、該ATMセルの内部識別子である#2を検索キーとしてルーチングテーブルRTBLを検索し、同報宛先であるコードタグと新たなVPI/VCIの組を4つ得る。ついで、図27に示すように該ATMセルにコードタグである#1outを付加し、および新たなVPI/VCIであるbに付け替えてスイッチ22へ、又該ATMセルにコードタグである#2outを付加し、および新たなVPI/VCIであるeに付け替えてスイッチ22へ、又該ATMセルにコードタグである#3outを付加し、および新たなVPI/VCIであるaに付け替えてスイッチ22へ、又該ATMセルにコードタグである#3outを付加し、および新たなVPI/VCIであるfに付け替えてスイッチ22の#(N+1)inへと4つ連続してコピーセルを出力する。スイッチ22へは図23と全く同じ図26のセルフフォーマットでコピーセルを入力する。

【0013】スイッチ22は、1つ目のコピーセルのコードタグである#1outに従って出ハイウェイ#1outへ交換する。同時に交換を終えたことにより不要になったコードタグを除去して出ハイウェイ#1outへ送出する。出ハイウェイ#1outではコピーセルを図24のセルフフォーマットで出力する。次に、スイッチ22は2つ目のコピーセルのコードタグである#2outに従って出ハイウェイ#2outへ交換する。同時に交換を終えたことにより不要になったコードタグを除去して出ハイウェイ#2outへ送出する。出ハイウェイ#2outではコピーセルを図24のセルフフォーマットで出力する。次に、スイッチ22は3つ目のコピーセルのコードタグである#3outに従って出ハイウェイ#3outへ交換する。同時に交換を終えたことにより不要になったコードタグを除去して出ハイウェイ#3outへ送出する。出ハイウェイ#3outではコピーセルを図24のセルフフォーマットで出力する。次に、スイッチ22は4つ目のコピーセルのコードタグである#3outに従って出ハイウェイ#3outへ交換する。同時に交換を終えたことにより不要になったコードタグを除去して出ハイウェイ#3outへ送出する。出ハイウェイ#3outではコピーセルを図24のセルフフォーマットで出力する。

【0014】

【発明が解決しようとする課題】従来の空間型トランク方式を用いたセル同報装置では図18に示すコピーサーバ23でセルのコピーを行ない、ヘッダ変換機(VCC2)24₁~24_nを経て再びスイッチ22へ帰還する。スイッチ22へ入力するタイミング等に関する記述が無いため、コピーセルはヘッダ変換機(VCC2)24₁~24_nにおいて、ATMセル蓄積を行うタイミング調整をすることなくスイッチ22へ入力するものと考えられる。その時スイッチ22へ入力するコピーセルの中には、同じ出ハイウェイ宛てへセルをコピーするものもあり、この場合、特定の出ハイウェイにコピーセルが同時に又は連続で到着することもある。また、図19においても、コピーサーバ23内のシングルFIFOメモリ311の読出し速度が入ハイウェイ#1in~#Ninの速度を超える場合には、特定の出ハイウェイ

にコピーセルが同時に到着し、入ハイウェイ#1 in ~ #N in の速度と等しい場合には、連続で到着することもある。その結果、スイッチ 22 内に有る同じ出ハイウェイ宛の入力 ATM セル待ち合わせ用の有限バッファの使用数が急激に増加する。一時的にバッファの未使用数が 0 となった状態において待ち合わせが必要な ATM セルが入力して来た場合には入力 ATM セルは廃棄される。本装置では、上記のようなセル廃棄が発生しやすく、通信品質を劣化させるという問題がある。

【0015】また、上記通信品質の劣化を避けるためにはスイッチ 22 内に大量のバッファを持つ必要があるという問題がある。

【0016】この発明はこのような問題点を解決するために為されたものであり、比較的小容量のバッファを用い、同じ出ハイウェイ宛ての入力セルが同時に又は連続で到着する場合でも、スイッチでのセル廃棄の発生頻度を低減するセル同報装置を得ることを目的とする。

【0017】

【課題を解決するための手段】第 1 の発明に係るセル同報装置は、ATM セルのヘッダを内部のヘッダに変換し、同報の場合は特定の内部識別子に変換して入ハイウェイへ出力するヘッダ変換手段と、該ヘッダ変換手段からの ATM セルを上記入ハイウェイから入力し、内部ヘッダに基づいて上記入ハイウェイと出ハイウェイとのスイッチングを行い、同報の場合には上記内部識別子に基づいて上記 ATM セルを特定の出ハイウェイへスイッチングするスイッチ手段と、上記特定の出ハイウェイから入力した上記 ATM セルを上記内部識別子に基づいて所定の数コピーし、得られた ATM セル（以下コピーセルという）の各々をそれぞれの出ハイウェイ宛てに送出するように内部ヘッダを付加して上記スイッチング手段へ出力するコピーサーバと、を備え、1 つの ATM セルを指定された複数の出ハイウェイにコピーしてルーチングするマルチキャスト機能を備えたセル同報装置において、上記コピーサーバは、宛先グループ間でコピーセルの出力タイミングを調整するものである。

【0018】また、第 2 の発明に係るセル同報装置は、ATM セルのヘッダを内部のヘッダに変換し、同報の場合は特定の内部識別子に変換して入ハイウェイへ出力するヘッダ変換手段と、該ヘッダ変換手段からの ATM セルを上記入ハイウェイから入力し、内部ヘッダに基づいて上記入ハイウェイと出ハイウェイとのスイッチングを行い、同報の場合には上記内部識別子に基づいて上記 ATM セルを特定の出ハイウェイへスイッチングするスイッチ手段と、上記特定の出ハイウェイから入力した上記 ATM セルを上記内部識別子に基づいて所定の数コピーし、得られた ATM セル（以下コピーセルという）の各々をそれぞれの出ハイウェイ宛てに送出するように内部ヘッダを付加して上記スイッチング手段へ出力するコピーサーバと、を備え、1 つの ATM セルを指定された複数の

出ハイウェイにコピーしてルーチングするマルチキャスト機能を備えたセル同報装置において、上記コピーサーバは、宛先グループ別にコピーセルの出力タイミングを調整するものである。

【0019】また、第 3 の発明に係るセル同報装置は、コピーサーバは、宛先グループ間で又は宛先グループ別にコピーセルの出力タイミングを調整する読出制御回路を備えたものである。

【0020】また、第 4 の発明に係るセル同報装置は、コピーサーバは、コピーセルのデータを格納している出力バッファメモリや共通バッファメモリなどの記憶手段にアドレスを与えるタイミングを調整するコピーセル格納アドレス読出制御回路を備えたものである。

【0021】また、第 5 の発明に係るセル同報装置は、コピーセル読出制御回路は、コピーセルの宛先グループ別 FIFO メモリとセレクトを備え、全宛先グループ間に公平でかつ周期的にコピーセルを読み出しかつ多重するものである。

【0022】また、第 6 の発明に係るセル同報装置は、コピーセル読出制御回路は、コピーセルの宛先グループ番号と連続読出回数に対応させたコピーセル連続読出回数テーブルを備え、このコピーセル連続読出回数テーブルに従ってコピーセルを読み出しかつ多重するものである。

【0023】また、第 7 の発明に係るセル同報装置は、コピーセル読出制御回路は、コピーセルの宛先グループ別 FIFO メモリと時分割多重の多重化回路を備え、全宛先グループ間に公平でかつ周期的にコピーセルを読み出しかつ多重するものである。

【0024】また、第 8 の発明に係るセル同報装置は、コピーセル読出制御回路は、複数の宛先グループ別 FIFO メモリとそれぞれに対応するシェーピング回路を備えたものである。

【0025】また、第 9 の発明に係るセル同報装置は、各宛先グループ別シェーピング回路に対して複数の宛先グループ別 FIFO メモリを 1 対多の比で設けたものである。

【0026】また、第 10 の発明に係るセル同報装置は、コピーセル読出制御回路は、スイッチの幾つかの出ハイウェイを重複することなく束ねたグループ別にコピーセルをキューイングする宛先グループ別 FIFO メモリ群と、各宛先グループ別 FIFO メモリからのコピーセル読み出しを制御する読出スケジュール回路と、コピーセルを読み出す宛先グループをスケジューリングした読出スケジュールテーブルとを備えたものである。

【0027】また、第 11 の発明に係るセル同報装置は、コピーサーバは、ATM セルヘッダ内に書き込まれた内部識別子を抽出する内部識別子抽出回路と、発呼時に呼処理プロセッサの制御でセル同報する入力 ATM セルヘッダ内の内部識別子に対応させた同報出ハイウェイ、新

たなVPI/VCIを格納しているルーチンテーブル（以下RTBLという）と、上記内部識別子をもとに上記RTBLから複数回データを読み出すRTBL検索回路と、上記RTBLへの検索待ちに対応するため一時的に入力内部識別子を蓄積するヘッダFIFOメモリと、入力ATMセルを格納するセルバッファと、該セルバッファの入力ATMセルに出ハイウェイ、新たなVPI/VCIを付け替えるセルヘッダ付替回路と、該セルヘッダ付替回路によって生成されたコピーセルをスイッチへ出力するタイミングを調整するコピーセル読出制御回路とを備えたものである。

【0028】また、第12の発明に係るセル同報装置は、RTBLは内部識別子と、この内部識別子に対応し、出ハイウェイにルーチングするための情報であるコードタグと、VPI/VCIを備えたものである。

【0029】また、第13の発明に係るセル同報装置は、RTBLは内部識別子と、この内部識別子に対応する同報番号と、コードタグと、VPI/VCIと、有効／無効フラグとを備えたものである。

【0030】また、第14の発明に係るセル同報装置は、RTBLは内部識別子と、この内部識別子に対応する同報番号と、コードタグと、VPI/VCIと、エンドフラグとを備え、同報番号の最終番号にのみ上記エンドフラグを■1■に設定するものである。

【0031】また、第15の発明に係るセル同報装置は、同報時にATMセルを複数コピーしてコピーセルを生成するコピーサーバと、このコピーサーバから入力している複数本の入ハイウェイと、上記コピーサーバへ出力している複数本の出ハイウェイを持つスイッチと、このスイッチからコピーサーバへ出力している複数本の出ハイウェイを時分割多重する多重化回路と、上記コピーサーバから上記スイッチへ入力している複数本の入ハイウェイを分離する分離化回路を備えたものである。

【0032】また、第16の発明に係るセル同報装置は、スイッチからコピーサーバへ出力している複数本の出ハイウェイとコピーサーバからスイッチへ入力している複数本の入ハイウェイを複数のグループに分割し、該グループ毎に割り当てられた複数本の出ハイウェイのみを時分割多重する多重化回路と、上記グループ毎に割り当てられた複数本の入ハイウェイのみを分離する分離化回路と、グループ毎に設けられたコピーサーバと、を備えたものである。

【0033】

【発明の実施の形態】実施の形態1. 図1はこの発明に係る空間型トランク方式を用いたセル同報装置の原理説明図である。図1において、 $1_{in} \sim \#(N+1)_{in}$ は入ハイウェイ、 $1_{out} \sim \#(N+1)_{out}$ は出ハイウェイ、 $21_1 \sim 21_N$ は入ハイウェイに設けられたヘッダ変換機（VCC1）、22は(N+1)入力/(N+1)出力のスイッチングを行うスイッチ部、23はコピーサーバ、25は呼処理プロセッサ、30はコピーサーバ23内に設けられ、コピーセルの読み出しタイミ

ングを調整するコピーセル読出制御回路である。コピーセル制御回路30以外は従来技術と全く同じ構成である。

【0034】また、図2はこの発明に係る空間型トランク方式を用いたセル同報装置の別の原理説明図である。図2において、図1と同符号は同一又は相当部分を示す。31はコピーサーバ23内に設けられたコピーセル格納アドレス読出制御回路である。

【0035】また、図3はこの発明に係る空間型トランク方式を用いたセル同報装置の一実施の形態を示す構成図であり、コピーサーバ内に設けられたコピーセル読み出し制御回路内の構成を示す図である。図3において、231は内部識別子抽出回路、232はルーチングテーブル

（RTBL）検索回路、233はルーチングテーブル（RTBL）、234はセルバッファ、235はセルヘッダ付替回路、30はコピーセル読出制御回路である。321はスイッチ22の幾つかの出ハイウェイを重複することなく束ねたグループ別にコピーセルをキューイングする宛先グループ別FIFOメモリ群である。したがって宛先グループ別FIFOメモリ群321は、最低2つの宛先グループ別FIFOメモリ群から1本の出ハイウェイに1つのグループを割り当てた宛先グループ別FIFOメモリ群（出ハイウェイ別FIFOメモリ群）まで構成することができる。また各宛先グループ別FIFOメモリに収容する出ハイウェイ数はそれぞれ同じでもよいし、異なってもよい。33は、宛先グループ別FIFOメモリ群321の各宛先グループFIFOメモリから時系列に対して規則的に、グループ番号の昇べきの順かつラウンド（0,1,2,...,M-1,0,1,...）して周期的に1本の出力リンクへ読み出すセレクトである。

【0036】次に、動作を説明する。セル同報装置では、図1に示すようにコピーサーバ23内にコピーセル読出制御回路30を設け、出ハイウェイ別にコピーセルの出力タイミングを調整する。その結果、スイッチ22でのセル廃棄の発生頻度を低減することができる。

【0037】また、図2に示すセル同報装置では、コピーサーバ23内にコピーセル格納アドレス読出制御回路31を設け、コピーセルのデータを格納している出力バッファメモリ又は共通バッファメモリにアドレスを与えるタイミング調整を行なうことで、間接的にコピーセルの出力タイミングを調整することができる。このコピーセル格納アドレス読出制御回路31はコピーセルを格納している出力バッファメモリ又は共通バッファメモリのアドレスを処理する。この間接的なコピーセル出力タイミング調整の場合も、スイッチ22でのセル廃棄の発生頻度を低減することができる。

【0038】コピーサーバ23では出ハイウェイ $\#(N+1)_{out}$ よりATMセルが入力すると、内部識別子抽出回路231がこのATMセルより内部識別子を取り出しRTBL検索回路232へ転送する。一方、ATMセル全体はセルバッファ234へ転送し保持する。ルーチングテーブルRTBL233には、呼処理プロセッサ25の制御により $c(\leq N)$ 個の内部識別子の

(1)出ハイウェイ#1out~#Noutのうち1つの出ハイウェイを特定するコードタグと、(2)正規の呼識別子であるVPI/VCIが1つずつ登録されている。従ってRTBL検索回路232は、内部識別子を検索キーとしてRTBL233を検索することにより、(1)該ATMセルを出ハイウェイ#1out~#Noutにルーチングするためのコードタグと(2)正規のVPI/VCIを求める。

【0039】また、図3において、コピーセル読出制御回路30は、セルヘッダ付替回路235からコードタグと正規のVPI/VCIを付けたコピーセルが入力すると、このコードタグを識別し、内部のコードタグを収容する宛先グループ別FIFOメモリ321へ該コピーセルを書き込む。宛先グループ別FIFOメモリ321に蓄積されたコピーセルは、セクタ33により周期的に読み出される。なお、図中、宛先グループ別FIFOメモリ321の先頭を○で示している。この図では、FIFOメモリ321の左端が先頭の位置である。

【0040】また、図4は、時刻 $t=0$ における宛先グループ別FIFOメモリ4つ(G#0~G#3)にコピーセルがキューイングしている状態(図の右側)から、時刻 $t=0, 1, 2, 3, \dots, 18$ に渡ってセクタ33からコピーセルが読み出されて行く状況(図の左側)を示している。但し、コピーセルの新たなキューイングは $t=19$ 以降に再び行なわれる状況である。また、 $V=V_0=V_1=V_2=V_3$ である。 $t=1$ ではG#0からコピーセルが読み出される。 $t=2$ ではG#1の読み出し時刻であるが、コピーセルがキューイングされていないためコピーセルの読み出しは行なわれない。同様に $t=3$ でもG#2にコピーセルがキューイングされていないためコピーセルの読み出しは行なわれない。 $t=4$ ではG#3からコピーセルが読み出される。

【0041】図4ではセクタ33が1コピーセルを速度Vで読み出す時間毎に、ATMセルを異なる宛先グループ別FIFOメモリ321から読み出す。しかし、宛先グループ別にコピーセルのキューイングに偏りがある場合には、セクタ33で1つのコピーセルを速度Vで読み出す時間の整数倍をかけて、同じ宛先グループ別FIFOメモリ321から連続して読み出すようにする。図5のコピーセル連続読出回数テーブル331は、各宛先グループ別FIFOメモリに対して連続した時刻において読み出すコピーセル数を記録している。又、図のようにコピーセル連続読出回数テーブル331には連続読出回数をCPU25より設定する。

【0042】図5ではコピーセル連続読出回数テーブル331に従った時に、図4の $t=0$ におけるコピーセルをキューイングしている状態から、時刻 $t=1, 2, 3, \dots, 18$ に渡ってセクタ33からコピーセルが読み出されて行く状況を示している。但し、コピーセルの新たなキューイングは $t=19$ 以降に再び行なわれる状況である。コピーセル連続読出回数テーブル331内の連続読出回数が0の時には、読み飛ばしの動作が行なわれる。これにより出ハイウェイ

の使用数が段階的に使用数が増加する過渡期には、物理的に出ハイウェイは存在しているが使用が割り当てられていない出ハイウェイグループに相当する宛先グループFIFOメモリに対してコピーセルはキューイングされないため、読み飛ばすことにより柔軟な読み出しができる。

【0043】 $t=1\sim 4$ ではコピーセル連続読出回数テーブル331に従いG#0から連続4回コピーセルが読み出される。 $t=5$ ではコピーセル連続読出回数テーブル331の連続読出回数が0となっているG#1を飛び越えて、G#2からコピーセルが読み出される。ただしG#2にはコピーセルがキューイングされていないためコピーセルの読み出しはない。同様に $t=6, 7$ ではG#3、 $t=8\sim 11$ ではG#0、 $t=12$ ではG#2、 $t=13, 14$ ではG#3、 $t=15\sim 18$ ではG#0からコピーセルが読み出される。

【0044】なお、図4において、入ハイウェイ#(N+1)inの速度Vを宛先グループ別FIFOメモリ321の数で除算した低速速度で宛先グループ別FIFOメモリ321を動作させても同じコピーセルの読み出しを実現することができる。ただし、この場合、セクタ33を時分割多重の多重化回路331とすることが必要である。図4において $V_0, V_1, V_2, V_3=V/4$ とすると、宛先グループ別FIFOメモリ321の回路を入ハイウェイ#(N+1)inの1/4の低速で動作する。一方、セクタ33を速度比4対1の多重化回路331とすることで、図6に示すように図4と同様のコピーセル読み出しが行なわれる。しかしコピーセル連続読み出しはできなくなる。

【0045】実施の形態2. 図7はこの発明に係る空間型トランク方式を用いたセル同報装置の別の実施の形態を示す構成図である。図において、コピーセル制御回路30以外の構成は図3と全く同じである。321は、スイッチ22の幾つかの出ハイウェイを重複することなく束ねたグループ別にコピーセルをキューイングする宛先グループ別FIFOメモリ群である。また、322は各宛先グループ別FIFOメモリからのコピーセルの読み出しを制御する宛先グループ別シェーピング回路群である。また、34は各宛先グループ別FIFOメモリの出力リンクを時分割多重して、コピーセルをFIFOにキューイングする競合調整FIFOメモリである。

【0046】次に、動作を説明する。図7において、各宛先グループ別シェーピング回路群322は、CPU25より各回路別に設定される最小セル読出間隔値(TS)、揺らぎ許容値(TAU)をもとに個々独立に動作する。但し、各宛先グループに設定される最小セル読出間隔値、揺らぎ許容値より算出される平均セル読出速度 $meanVi, i=0, \dots, (M-1)$ を、全宛先グループに対して加算した値 $\Sigma i=1, (M-1) meanVi$ が、入ハイウェイ#(N+1)inの速度Vを超えないように設定する必要がある。

【0047】内部識別子抽出回路231~セルヘッダ付替回路235までの動作は実施の形態1と同様である。宛先グループ別FIFOメモリ321に蓄積されたコピーセル

は、各宛先グループ別シェーピング回路322により制御されて、例えば最小セル読出間隔より揺らぎ許容値を差し引いた最狭間隔から最小セル読出間隔に揺らぎ許容値を足し合わせた最広間隔までの範囲内で、各宛先グループ別FIFOメモリ321の先頭のコピーセルが1つだけ読み出される。宛先グループ別FIFOメモリ321から読み出されたコピーセルは図7に示すように他の宛先グループ別FIFOメモリより読み出されたコピーセルと高速に時分割多重されて競合調整用FIFOメモリ34に書き込まれる。

【0048】図8は、時刻 $t=0$ における宛先グループ別FIFOメモリ4つ(G#0~G#3)にコピーセルがキューイングしている状態とCPU25による宛先グループ別シェーピング回路4つ(G#0~G#3)の設定情報を示している。なお、図8では宛先グループ別FIFOメモリ321の先頭を○で示している。また、コピーセルの新たなキューイングは $t=19$ 以降に再び行なわれる状況である。また $V \geq \max V0 + \max V1 + \max V2 + \max V3$ である。

【0049】図9は、競合調整用FIFOメモリ34のキューイング状況を時刻 $t=0, 1, 2, 3, \dots, 18$ に渡って示している。 $t=0$ において、宛先グループ別シェーピング回路322の制御に従い、G#0, G#2, G#3の宛先グループ別FIFOメモリから先頭のコピーセルが読み出される。同時に競合調整用FIFOメモリ34へはG#0, G#2, G#3の順番でコピーセルが時分割多重されて書き込まれる。なお、図中のTSは最小セル読出間隔を示し、例えば、TS=2はセルを送出してから次のセルを送出するまでの時間間隔が2である。これはセルの送出手間と非送出手間を交互に行うことを意味する。また、TS=3はセルを送出してから次のセルを送出するまでの時間間隔が3である。これはセルを1回送出した後2回送出不しという動作を繰り返すことを意味する。また、TAUは揺らぎの許容値を示す。図10は、競合調整用FIFOメモリ34からのコピーセル出力状況を時刻 $t=0, 1, 2, 3, \dots, 18$ に渡って示している。

【0050】 $t=0$ において、宛先グループ別シェーピング回路は、キューイングしているG#0, G#2, G#3の宛先グループ別FIFOメモリに基準(開始)となるセル読出し指示をする。それに従い、G#0, G#2, G#3の宛先グループ別FIFOメモリから先頭のコピーセルが読み出される。競合調整用FIFOメモリ34にはG#0, G#2, G#3のコピーセルが時分割多重で順次格納される。

【0051】 $t=1$ において、宛先グループ別シェーピング回路に従い、全宛先グループ別FIFOメモリからのコピーセル読出しはまだなく、競合調整用FIFOメモリ34に新たにコピーセルが書き込まれることはない。競合調整用FIFOメモリ34ではG#0, G#2, G#3のコピーセルが既に蓄積されており、先頭にキューイングしているG#0のコピーセルが速度Vで入ハイウェイ#(N+1)inへ出力される。

【0052】 $t=2$ において、宛先グループ別シェーピング回路G#0では、 $t=0$ から最小セル読出間隔TS=2が経過したので、G#0の宛先グループ別FIFOメモリへ読み出し指

示が制御される。それに従いG#0の宛先グループ別FIFOメモリから先頭のコピーセルが読み出される。競合調整用FIFOメモリ34ではG#0のコピーセルが最後尾に書き込まれると同時に、予め蓄積していたG#2のコピーセルを速度Vで入ハイウェイ#(N+1)inに出力する。

【0053】 $t=3$ において、宛先グループ別シェーピング回路G#3では、 $t=0$ から最小セル読出間隔TS=3が経過したので、G#3の宛先グループ別FIFOメモリへ読み出し指示が制御される。それに従いG#3の宛先グループ別FIFOメモリから先頭のコピーセルが読み出される。競合調整用FIFOメモリ34ではG#3のコピーセルが最後尾に書き込まれると同時に、予め蓄積していたG#3のコピーセルを速度Vで入ハイウェイ#(N+1)inに出力する。

【0054】 $t=4$ において、宛先グループ別シェーピング回路G#0では、 $t=2$ から最小セル読出間隔TS=2が経過したので、G#0の宛先グループ別FIFOメモリへ読み出し指示が制御される。それに従い、G#0の宛先グループ別FIFOメモリから先頭のコピーセルが読み出される。競合調整用FIFOメモリ34ではG#0のコピーセルが最後尾に書き込まれると同時に、G#0のコピーセルが速度Vで入ハイウェイ#(N+1)inに出力される。

【0055】 $t=5$ において、宛先グループ別シェーピング回路に従い全宛先グループ別FIFOメモリからのコピーセル読み出しはなく、競合調整用FIFOメモリ34には新たにコピーセルは書き込まれない。競合調整用FIFOメモリ34ではG#3のコピーセルが速度Vで入ハイウェイ#(N+1)inに出力される。

【0056】 $t=7$ において、宛先グループ別シェーピング回路G#2では、 $t=0$ から最小セル読出間隔TS=7が経過したので、G#2の宛先グループ別FIFOメモリへ読み出し指示が制御される。それに従いG#2の宛先グループ別FIFOメモリから先頭のコピーセルが読み出される。競合調整用FIFOメモリ34ではG#2のコピーセルが最後尾に書き込まれると同時に、G#0のコピーセルが速度Vで入ハイウェイ#(N+1)inに出力される。

【0057】 $t=8$ において、宛先グループ別シェーピング回路G#0では、 $t=6$ から最小セル読出間隔TS=2が経過したので、G#0の宛先グループ別FIFOメモリへ読み出し指示が制御される。それに従いG#0の宛先グループ別FIFOメモリから先頭のコピーセルが読み出される。競合調整用FIFOメモリ34ではG#0のコピーセルが最後尾に書き込まれると同時に、G#3のコピーセルが速度Vで入ハイウェイ#(N+1)inに出力される。

【0058】 $t=8$ において、宛先グループ別シェーピング回路G#0では、 $t=6$ から最小セル読出間隔TS=2が経過したので、G#0の宛先グループ別FIFOメモリへ読み出し指示が制御される。それに従いG#0の宛先グループ別FIFOメモリから先頭のコピーセルが読み出される。競合調整用FIFOメモリ34ではG#0のコピーセルが最後尾に書き込まれると同時に、G#3のコピーセルが速度Vで入ハイウェイ

イ#(N+1)inに出力される。

【0059】t=9において、宛先グループ別シェーピング回路G#3では、t=6から最小セル読出間隔TS=3が経過したが、G#3にコピーセルキューイングが無いためG#3の宛先グループ別FIFOメモリへの読み出しは指示されない。競合調整用FIFOメモリ34ではG#2のコピーセルが速度Vで入ハイウェイ#(N+1)inに出力される。

【0060】t=10において、宛先グループ別シェーピング回路G#0では、t=8から最小セル読出間隔TS=2が経過したので、G#0の宛先グループ別FIFOメモリへ読み出し指示が制御される。それに従いG#0の宛先グループ別FIFOメモリから先頭のコピーセルが読み出される。競合調整用FIFOメモリ34ではG#0のコピーセルが最後尾に書き込まれると同時に、G#0のコピーセルが速度Vで入ハイウェイ#(N+1)inに出力される。

【0061】t=11において、宛先グループ別シェーピング回路に従い全宛先グループ別FIFOメモリからのコピーセル読み出しはなく、競合調整用FIFOメモリ34には新たにコピーセルは書き込まれない。競合調整用FIFOメモリ34ではG#0のコピーセルを速度Vで入ハイウェイ#(N+1)inに出力する。

【0062】t=12において、宛先グループ別シェーピング回路G#0では、t=10から最小セル読出間隔TS=2が経過したので、G#0の宛先グループ別FIFOメモリへ読み出し指示が制御される。それに従いG#0の宛先グループ別FIFOメモリから先頭のコピーセルが読み出される。競合調整用FIFOメモリ34ではG#0のコピーセルが最後尾に書き込まれる。同時にコピーセルのキューイングが無いので入ハイウェイ#(N+1)inにコピーセルの出力はない。

【0063】t=13,15,17において、宛先グループ別シェーピング回路に従い全宛先グループ別FIFOメモリからのコピーセル読み出しはなく、競合調整用FIFOメモリ34には新たにコピーセルは書き込まれない。競合調整用FIFOメモリ34ではG#0のコピーセルが速度Vで入ハイウェイ#(N+1)inに出力される。

【0064】t=14,16,18において、宛先グループ別シェーピング回路G#0では、それぞれt=12,14,16から最小セル読出間隔TS=2経過したので、G#0の宛先グループ別FIFOメモリへ読み出し指示が制御される。それに従いG#0の宛先グループ別FIFOメモリから先頭コピーセルが時分割多重されて読み出される。競合調整用FIFOメモリ34ではG#0のコピーセルが最後尾に書き込まれる。同時にコピーセルのキューイングが無いので入ハイウェイ#(N+1)inにコピーセルの出力はない。

【0065】この実施の形態によれば、宛先グループ別FIFOメモリから競合調整用FIFOメモリへの多重化はシェーピング回路の設定により制御されるので、各グループ間の多重化の割合を柔軟に制御することが可能である。

【0066】また、図7において各宛先グループ別シェーピング回路群322は、宛先グループ別FIFOメモリ321に

1対1で設けられている。これに対して各宛先グループ別シェーピング回路322に対して複数の宛先グループ別FIFOメモリ321に1対多で設ける。これにより宛先グループ別シェーピング回路322の実装規模が小さくなる。

【0067】実施の形態3. 図11はこの発明に係る空間型トランク方式を用いたセル同報装置の別の実施の形態を示す構成図である。図において、コピーセル制御回路30以外の構成は図3と全く同じである。321は、スイッチ22の幾つかの出ハイウェイを重複することなく束ねたグループ別にコピーセルをキューイングする宛先グループ別FIFOメモリ群である。35は、各宛先グループ別FIFOメモリからのコピーセル読み出しを制御する読出スケジュール回路35である。351は、コピーセルを読み出す宛先グループをスケジューリングした読出スケジュールテーブルである。実施の形態2の図7の構成で存在していた競合調整用FIFOメモリ34が無くなり、各宛先グループ別FIFOメモリ群321の全出力リンクが1本の共通な出力リンクとして接続され、その共通な出力リンクはそのまま入ハイウェイ#(N+1)inに接続されている。各宛先グループ別FIFOメモリ321に接続されている出力リンク速度は、入ハイウェイ#(N+1)inの速度Vである。

【0068】次に、動作を説明する。読出スケジュールテーブル351には、CPU25より読み出し指示する宛先グループ番号を設定する。図11では、宛先グループ別FIFOメモリ群321へ読み出し指示する動作を示している。読出スケジュール回路35は、6回で帰還(1周)する読み出し動作を宛先グループ別FIFOメモリ群321へ指示する。[読出スケジュール]において読出スケジュールテーブル351のアドレス0から5までのアクセス順番を、アドレス0,...,5間を繋ぐ遷移矢印で示している。また[読出スケジュール]におけるアドレス0,...,5と1対1に対応した読出スケジュールテーブル351の6つのデータ領域に、CPU25より設定された宛先グループ番号を記している。読出スケジュール回路35内の[読出スケジュール]では実施の形態2における時刻tが1経過する毎にアドレス間を遷移する。

【0069】したがってt=0において読出スケジュールテーブル351のアドレス0を選択していると、読出スケジュールテーブル351のデータである宛先グループ番号#0が読み出される。これによって読出スケジュール回路35からG#0の宛先グループ別FIFOメモリへコピーセルの読み出し指示が行なわれる。読み出し指示にしたがって、G#0の宛先グループ別FIFOメモリにセルキューイングが有る場合にはコピーセルを入ハイウェイ#(N+1)inに出力する。

【0070】同様にt=1において読出スケジュールテーブル351のデータである宛先グループ番号#3が読み出され、G#3の宛先グループ別FIFOメモリへコピーセルの読み出し指示が行なわれ、G#3の宛先グループ別FIFOメモリにセルキューイングが有る場合にはコピーセルを入ハ

イウェイ $\#(N+1)$ inに出力する。

【0071】同様に $t=2$ においてG#0の宛先グループ別FIFOメモリにセルキューイングが有る場合にはコピーセルを入ハイウェイ $\#(N+1)$ inに出力する。

【0072】同様に $t=3$ においてG#1の宛先グループ別FIFOメモリにセルキューイングが有る場合にはコピーセルを入ハイウェイ $\#(N+1)$ inに出力する。

【0073】同様に $t=4$ においてG#0の宛先グループ別FIFOメモリにセルキューイングが有る場合にはコピーセルを入ハイウェイ $\#(N+1)$ inに出力する。

【0074】同様に $t=5$ においてG#2の宛先グループ別FIFOメモリにセルキューイングが有る場合にはコピーセルを入ハイウェイ $\#(N+1)$ inに出力する。

【0075】 $t=6$ において、 $t=0$ の時と同じ読み出し指示に再帰し、 $t=0$ と同じ動作が繰り返される。以降は $t=1$ から $t=6$ までと同じ読み出し指示が繰り返される。

【0076】この実施の形態によれば、宛先グループ別FIFOメモリからのコピーセル出力の多重化は読出スケジュール回路が読出スケジュールの設定に基づいて制御するので、多重化の競合制御を柔軟に行うことが可能であり、同時に競合調整用FIFOメモリが不要になる。

【0077】実施の形態4. 図12はこの発明に係る空間型トランク方式を用いたセル同報装置の別の実施の形態を示す構成図であり、コピーサーバ内の構成を示している。図において、同符号は同一又は相当部分を示す。コピーサーバ23は以下の構成要素を備え、呼処理プロセッサ25から指示されている数 c ($\leq N$)のコピーセルを生成して出力リンクに出力する。231はATMセルヘッダ内に書き込まれた内部識別子を抽出する内部識別子抽出回路、232は内部識別子をもとにルーチンテーブルRTBL233から最大 k ($\leq N$)回データを読み出すRTBL検索回路、236はRTBLへの検索待ちに対応するため一時的に内部識別子を蓄積するヘッダFIFOメモリ、233は発呼時に呼処理プロセッサ25の制御でセル同報する入力ATMセルヘッダ内の内部識別子に対応させた同報出ハイウェイのコードタグと新たなVPI/VCIを登録しているルーチンテーブルRTBL、234は入力ATMセルをそのまま格納するセルバッファ、235はセルバッファ234の入力ATMセルに出ハイウェイのコードタグと新たなVPI/VCIを付け替えるセルヘッダ付替回路、30はセルヘッダ付替回路235で生成されたコピーセルをスイッチ22へ出力するタイミングを調整するコピーセル読出制御回路である。コピーセル制御回路30の構成は実施の形態1のそれと同じである。

【0078】次に、動作を説明する。コピーサーバ23では出ハイウェイ $\#(N+1)$ outよりATMセルが入力すると、内部識別子抽出回路231がATMセルより内部識別子を取り出しRTBL検索回路232へ転送する。一方、ATMセル全体はセルバッファ234へ転送され保持される。RTBL233には、呼処理プロセッサ25の制御で内部識別子に対応させて(1)出ハイウェイ $\#1$ out $\sim\#N$ outのうちの1つを特定するコー

ドタグと、(2)正規の呼識別子であるVPI/VCIの組が c ($\leq N$)個、登録されている。RTBL検索回路232はヘッダFIFOメモリ236の先頭にある内部識別子を検索キーとしてRTBL233を検索することにより、(1)該ATMセルを出ハイウェイ $\#1$ out $\sim\#N$ outの内の1つにルーチングするためのコードタグと、(2)正規のVPI/VCIの組を k 組のみ求める。

【0079】ついで、セルヘッダ付替回路235は、セルバッファ234より該ATMセルを読み出し、内部識別子とともに検索された k 個のコードタグと正規のVPI/VCIの組の内の1つに付け替えてコピーセル読出制御回路30内のFIFOメモリ(図示せず)に書き込む。このセルヘッダ付替回路235の動作は、呼処理プロセッサ25から指示されている最大検索数 k ($\leq N$)と同回数だけ行なわれる。ヘッダFIFOメモリ236は、先頭にある内部識別子に対応させた登録数 $c \leq k \times i$ ($i=0,1,\dots$)となる i 回まで、先頭にある内部識別子はヘッダFIFOメモリ236より読み出されず、各回とも重複なく登録情報(コードタグ、新たなVPI/VCI)を求める。そして初めて $c \leq k \times i$ ($i=0,1,\dots$)となった i 回目の検索時に先頭にある内部識別子がヘッダFIFOメモリ236より読み出される。

【0080】この実施の形態によれば、同報時に、RTBL233の検索やセルヘッダ付替回路235でのコードタグ、新たなVPI/VCIへコピーセルの付替えや組立て、そしてコピーセル読出制御回路30への書き込みを c 回連続して行うために高速処理が必要になっていたが、その同報数 c に影響されず、 k 回連続まで行うという制限を設けることで動作速度は $c > k$ の場合、 k/c に低速化される。このように低速化することによりハードウェアの設計が容易になる。

【0081】また、RTBL233の構成は幾つか有る。図13はRTBLの一構成例を示している。この例では内部識別子はCPU25により0から4095まで設定されている。1つの内部識別子対しては、コードタグ#0から#31までの中で同報のためにATMセルをコピーする幾つかのコードタグのみフラグを上げた状態■1■に、同報しないその他のコードタグにはフラグを下げた状態■0■に設定する。ある内部識別子をキーとして1度に全コードタグのフラグ状態をRTBL233より検索するので、検索処理の高速化を図ることができる。同時にVPI/VCI検索も内部識別子をキーとして1度に全VPI/VCIを検索し、フラグ状態"1"のコードタグに相当するビット位置のVPI/VCIのみを有効データとして処理する。

【0082】また、図14は別のRTBLの構成例を示している。予めCPU25により内部識別子と、同報番号を設定しておく。この例では内部識別子は0から4095まで、同報番号は0から63までの範囲内で設定している。1つの内部識別子には同報番号0から $c-1$ までの各々に対応して、コードタグとVPI/VCIと有効/無効フラグの組が1つずつ合計 c 組(セルコピー数 c に相当する)設定される。有効/無効フラグは、ある内部識別子における同報

番号に対する宛先グループのデータが有効である場合にはフラグを上げた状態■1■に、無効である場合にはフラグを下げた状態■0■に設定する。これにより、ある内部識別子と同報番号をキーとして1回で1つのコードタグのフラグ状態をRTBL233より検索できる。

【0083】また、この有効/無効フラグは、同報番号0から $c-1$ までフラグを上げた状態■1■で、それ以降はフラグを下げた状態■0■であることを前提としている。或る内部識別子に対する全部のコードタグを検索するためには、有効/無効フラグが下げた状態■0■を検索するまで $(c+1)$ 回同報番号をインクリメントし、検索を繰り返す必要がある。図13の構成例と比べてコードタグ(=出ハイウェイ数)の増加とともにRTBL233のデータ幅が定比例に増加することはないため、テーブルのデータビット幅を予め大きく取っておく必要がない。したがって、テーブルの無駄がなくなり、メモリの使用効率がよい。また、コードタグ数の増大に伴って、テーブルのデータビット幅を越える場合、テーブルを再構成し直す必要もないため、作業の無駄を省くことができる。

【0084】また、図15はさらに別のRTBLの構成例を示したものであり、図14における有効/無効フラグをエンドビットフラグ(EB)に入れ替えたものである。エンドビットフラグは、ある内部識別子におけるセルコピー数 c に相当する同報番号0から $c-1$ までの中で、同報番号 $c-1$ (同報の最終番号を示す)のみにフラグを上げた状態■1■に、その他の同報番号にはフラグを下げた状態■0■に設定する。ある内部識別子に対する全部のコードタグを検索するためには、エンドビットフラグが上がった状態■1■を検索するまで c 回同報番号をインクリメントし、検索を繰り返す必要がある。これにより、図14と同様の効果を奏するが、さらに、設定は初期クリア後、エンド番号のエンドビットフラグを■1■に上げるのみで済むので、設定処理が容易である。

【0085】実施の形態5. 図16はこの発明に係る空間型トランク方式を用いたセル同報装置の別の実施の形態を示す構成図であり、セル同報装置のスイッチ22とコピーサーバ23間の構成を示したものである。図において、図1と同符号は同一又は相当部分を示す。22はコピーサーバ23から入力している複数本の入ハイウェイとコピーサーバ23へ出力している複数本の出ハイウェイを持つスイッチ、40はスイッチ22からコピーサーバ23へ出力している複数本の出ハイウェイを時分割多重する多重化回路、41はコピーサーバ23からスイッチ22へ入力している複数本の入ハイウェイを分離する分離化回路である。従って1つのコピーサーバ23を複数本の入出ハイウェイで共有する構成となる。複数本の出ハイウェイ $\#(N+1)out, \dots, \#(N+p)out$ の速度は、それぞれ $Vin(1), \dots, Vin(p)$ である。又複数本の入ハイウェイ $\#(N+1)in, \dots, \#(N+q)in$ の速度は、それぞれ $V(1), \dots, V(q)$ である。コピーサーバ23の入力リンクの速度は Vin であり、出力リンクの速

度は V である。 p, q は自然数である。 $Vp = \sum_{i=1, p} Vin(i)$ (即ち Vp は $i=1$ から p まで $Vin(i)$ の総和をとったものである)、 $Vq = \sum_{i=1, q} V(i)$ (即ち Vq は $i=1$ から q まで $V(i)$ の総和をとったものである)である。

【0086】次に、動作を説明する。スイッチ22に、マルチキャスト呼のATMセルが入力すると、ヘッダ変換機(VCC1)21₁~21_N(図示せず)はATMセルにコピーサーバ23へルーチングするためのコードタグを付加し、かつ、新たなVPI/VCIの代わりに内部識別子を付けてスイッチ22へ入力する。このコードタグは、 p 本の出ハイウェイの各々に対応して1つずつ合計 p 個ある。そのため、スイッチ22は x 個のマルチキャスト呼のATMセルを x (x は自然数)個の異なるコードタグで指示する出ハイウェイ $\#(N+1)out \sim \#(N+x)out$ に同時にルーチングする。ここで $x \leq p$ である。多重化回路40は、複数本の出ハイウェイ $\#(N+1)out \sim \#(N+p)out$ から出力する該ATMセルを時分割で多重する。また、分離化回路41は、複数本の入ハイウェイ $\#(N+1)in \sim \#(N+q)in$ へ入力するコピーサーバからの該多重されたATMセルを分離する。ただし $Vq \geq V$, $Vin \geq Vp$ である。コピーサーバ23や呼処理プロセッサ25は従来技術や他の実施の形態の動作と同じである。

【0087】この実施の形態によれば、スイッチ22に同時に入力してきた複数のマルチキャスト呼のATMセルを同時に p 個までコピーサーバ23に送出することができ、スイッチ22内でのコピーサーバ23へ繋がる出ハイウェイでの待ち合わせの為にバッファを使用することを回避できる。また、複数の同報処理を同時に扱えるので、処理の高速化を図ることができる。

【0088】実施の形態6. 図17はこの発明に係る空間型トランク方式を用いたセル同報装置の別の実施の形態を示す構成図である。図において、図1と同符号は同一又は相当部分を示す。スイッチ22からコピーサーバ23へ出力している複数本の出ハイウェイとコピーサーバ23からスイッチ22へ入力している複数本の入ハイウェイを r (r は自然数)個のグループに分割した構成を持っている。又、40₁~40_rはグループ毎に割り当てられた複数本の出ハイウェイのみを時分割多重する多重化回路、41₁~41_rはグループ毎に割り当てられた複数本の入ハイウェイのみを分離する分離化回路、23₁~23_rはグループ毎に設けられたコピーサーバ、22は実施の形態5に示されるスイッチ、25は r 個のコピーサーバ23₁~23_rの全てに対応する呼処理プロセッサである。したがって r 個の入出ハイウェイグループ毎にコピーサーバ23₁, ..., 23_rを対応させた構成となる。

【0089】複数本の出ハイウェイを束ねたグループ1, ..., r の速度は、それぞれのグループ内の割り当てられた出ハイウェイの速度を合計することによって得られ、それぞれ Vp_1, \dots, Vp_r である。又複数本の入ハイウェイを束ねたグループ1, ..., r の速度は、それぞれのグループ内の割り当てられた入ハイウェイの速度を合計す

ることによって得られ、それぞれ Vq_1, \dots, Vq_r である。コピーサーバ23₁～23_rの入力リンクの速度は、それぞれ V_{in1}, \dots, V_{inr} である。コピーサーバ23₁～23_rの出力リンクの速度は、それぞれ V_1, \dots, V_r である。ここで $p \geq r$, $q \geq r$ である。

【0090】多重化回路40₁～40_rでは、それぞれ複数本の出ハイウェイを束ねたグループ1, ..., rから出力する該ATMセルを時分割で多重する。分離化回路41₁～41_rでは、それぞれ複数本の入ハイウェイを束ねたグループ1, ..., rへ入力する該ATMセルを分離する。

【0091】この実施の形態によれば、グループ毎に複数の同報処理を同時に扱えるので、処理の高速化を図ることができるだけでなく、グループ毎に柔軟な対応が可能である。また、コピーサーバ23₁～23_rに処理が分散される為、コピーサーバ23₁～23_r内の処理速度を低く抑えることができる。従って、図16で用いたコピーサーバをグループ化という概念の下に何の改良も加えずに流用することで容易に同報処理装置の規模拡張が図れ、同時処理数を増大することができる。

【0092】尚、以上の各実施の形態では、FIFOメモリはコピーセルを格納するものであることを前提として説明したが、これに限らず、コピーセルを格納しているRAMなど（セルバッファ234、RTBL233も含む）のメモリのアドレスをFIFOメモリに格納しても同様の効果が得られる。

【0093】

【発明の効果】以上、第1の発明によれば、コピーサーバは、宛先グループ間でコピーセルの出力タイミングを調整するので、スイッチでのセル廃棄の発生頻度を低減することができるという効果を奏する。

【0094】また、第2の発明によれば、コピーサーバは、宛先グループ別にコピーセルの出力タイミングを調整するので、スイッチでのセル廃棄の発生頻度を低減することができるという効果を奏する。

【0095】また、第3の発明によれば、コピーサーバに宛先グループ間で又は宛先グループ別にコピーセルの出力タイミングを調整するコピーセル読出制御回路を設けたので、スイッチでのセル廃棄の発生頻度を低減することができるという効果を奏する。

【0096】また、第4の発明によれば、コピーサーバ内にコピーセル格納アドレス読出制御回路を設け、コピーセルのデータを格納している出力バッファメモリ又は共通バッファメモリにアドレスを与えるタイミング調整を行なうコピーセル格納アドレス読み出し制御回路を備えたので、間接的にコピーセルの出力タイミングを調整することにより、スイッチでのセル廃棄の発生頻度を低減することができるという効果を奏する。

【0097】また、第5の発明によれば、コピーセル読出制御回路は、セクタの周期的な動作に従って宛先グループ別FIFOメモリからのセル読み出しを行うことによ

り、全宛先グループ間に対して公平な読み出しができるという効果を奏する。

【0098】また、第6の発明によれば、コピーセル読出制御回路は、コピーセルの宛先グループ番号と連続読出回数を対応させたコピーセル連続読出回数テーブルを備え、このコピーセル連続読出回数テーブルに従ってコピーセルを連続で読み出しかつ多重し、また連続読出回数が0で使用が割り当てられていない出ハイウェイグループに相当する宛先グループFIFOメモリに対してコピーセルはキューイングされないため、読み飛ばすことにより柔軟な読み出しができるという効果を奏する。

【0099】また、第7の発明によれば、コピーセル読出制御回路は、多重化回路の周期的な動作に従って宛先グループ別FIFOメモリからのセル読み出しを行うことにより、全宛先グループ間に対して公平な読み出しができ、さらに時分割多重の割合に応じて宛先グループ別FIFOメモリ群の動作速度は低速化されているので、ハードウェアの設計が容易になるという効果を奏する。

【0100】また、第8の発明によれば、宛先グループ別FIFOメモリから競合調整用FIFOメモリへの多重化はシェーピング回路の設定により制御されるので、各グループ間の多重化の割合を柔軟に制御することが可能であるという効果を奏する。

【0101】また、第9の発明によれば、各宛先グループ別シェーピング回路に対して複数の宛先グループ別FIFOメモリを1対多の比で設けたので、宛先グループ別シェーピング回路の実装規模が小さくなるという効果を奏する。

【0102】また、第10の発明によれば、宛先グループ別FIFOメモリからのコピーセル出力の多重化は読出スケジュール回路が読出スケジュールの設定に基づいて制御するので、多重化の競合制御を柔軟に行うことが可能であり、同時に競合調整用FIFOメモリが不要になるという効果を奏する。

【0103】また、第11の発明によれば、同報時に、RTBL233の検索やセルヘッダ付替回路235でのコードタグ、新たなVPI/VCIへコピーセルの付替えや組立て、そしてコピーセル読出制御回路30への書込みをc回連続して行うために高速処理が必要になっていたが、その同報数に影響されず、k回連続まで行うという制限を設けることで動作速度は低速化されるので、ハードウェアの設計が容易になるという効果を奏する。

【0104】また、第12の発明によれば、RTBLは内部識別子と、この内部識別子に対応するコードタグと、VPI/VCIを備えたので、ある内部識別子をキーとして1度に全コードタグのフラグ状態をRTBL233より検索するので、検索処理の高速化を図ることができるという効果を奏する。

【0105】また、第13の発明によれば、RTBLは内部識別子と、この内部識別子に対応する同報番号と、

コードタグと、VPI/VCIと、有効／無効フラグとを備えたので、コードタグ数（＝出ハイウェイ数）の増加とともにRTBL233のデータ幅が定比例に増加することはないため、メモリの使用効率がよい。また、コードタグ数の増大に伴って、テーブルのデータ幅を越える場合、テーブルを再構成し直す必要もないため、作業の無駄を省くことができるという効果を奏する。

【0106】また、第14の発明によれば、RTBLは内部識別子と、この内部識別子に対応する同報番号と、コードタグと、エンドフラグとを備え、同報番号の最終番号にのみエンドフラグを■1■に設定するので、設定処理が容易であるという効果を奏する。

【0107】また、第15の発明によれば、複数本の入ハイウェイを多重化する多重化回路と、複数の出ハイウェイを分離化する分離化回路を、それぞれコピーサーバの入力側と出力側に配置することによってコピーサーバを複数本の入出ハイウェイで共有するので、スイッチ22に同時に入力してきた複数のマルチキャスト呼のATMセルを同時にp個までコピーサーバ23に送出することができ、スイッチ22内でのコピーサーバ23へ繋がる出ハイウェイでの待ち合わせの為にバッファを使用することを回避でき、さらに複数の同報処理を同時に扱えるので、処理の高速化を図ることができるという効果を奏する。

【0108】また、第16の発明によれば、複数本の入ハイウェイをいくつかのグループにグループ化して、このグループ毎に多重化する多重化回路と、複数の出ハイウェイを上記グループ毎に分離化する分離化回路とを、それぞれコピーサーバの入力側と出力側に配置してコピーサーバを複数本の入出ハイウェイで共有するので、グループ毎に処理の高速化を図れるだけでなく、グループ毎に柔軟な対応が可能であるという効果を奏する。また、コピーサーバ23i～23rに処理が分散される為、コピーサーバ23i～23r内の処理速度を低く抑えることができる。従って、図16で用いたコピーサーバをグループ化という概念の下に何の改良も加えずに流用することで容易に同報処理装置の規模拡張が図れ、同時処理数を増大することができるという効果を奏する。

【図面の簡単な説明】

【図1】 この発明に係る空間型トランク方式を用いたセル同報装置の原理説明図である。

【図2】 この発明に係る空間型トランク方式を用いたセル同報装置の別の原理説明図である。

【図3】 この発明に係る空間型トランク方式を用いたセル同報装置の一実施の形態を示す構成図である。

【図4】 コピーセル読み出し管理と制御方法を示す説明図である。

【図5】 コピーセル連続読出回数テーブルに従ったコピーセル読み出し状況を示す説明図である。

【図6】 4対1の多重化回路を用いた場合のコピーセ

ル読出状況を示す説明図である。

【図7】 この発明に係る空間型トランク方式を用いたセル同報装置の別の実施の形態を示す構成図である。

【図8】 時刻t=0における宛先グループ別FIFOメモリ4つ(G#0～G#3)にコピーセルがキューイングしている状態とCPU25による宛先グループ別シェーピング回路4つ(G#0～G#3)の設定情報を示す説明図である。

【図9】 競合調整用FIFOメモリ34のキューイング状況を時刻t=0,1,2,3,...,18に渡って示す説明図である。

【図10】 競合調整用FIFOメモリ34からのコピーセル出力状況を時刻t=0,1,2,3,...,18に渡って示す説明図である。

【図11】 この発明に係る空間型トランク方式を用いたセル同報装置の別の実施の形態を示す構成図である。

【図12】 この発明に係る空間型トランク方式を用いたセル同報装置の別の実施の形態を示す構成図である。

【図13】 RTBLの一構成例を示す図である。

【図14】 RTBLの別の構成例を示す図である。

【図15】 RTBLのさらに別の構成例を示す図である。

【図16】 この発明に係る空間型トランク方式を用いたセル同報装置の別の実施の形態を示す構成図である。

【図17】 この発明に係る空間型トランク方式を用いたセル同報装置の別の実施の形態を示す構成図である。

【図18】 従来の広帯域ISDNに関するセル同報装置の構成図である。

【図19】 従来の空間型トランク方式を用いたセル同報装置の構成図である。

【図20】 図19に示したコピーサーバ23の詳細な構成を示す構成図である。

【図21】 マルチキャスト呼以外のATMセルを処理する例を示す説明図である。

【図22】 入ハイウェイ#1in～#Ninから入力するセルフォーマットを示す説明図である。

【図23】 スイッチ22の入力21i～21N+1から入力するセルフォーマットを示す説明図である。

【図24】 出ハイウェイ#1out～#Noutへ出力するセルフォーマットを示す説明図である。

【図25】 出ハイウェイ#(N+1)outへ出力するセルフォーマットを示す説明図である。

【図26】 入力ハイウェイ#(N+1)inから入力するセルフォーマットを示す説明図である。

【図27】 マルチキャスト呼のATMセルを処理する例を示す説明図である。

【符号の説明】

21 ヘッダ変換機(VCC1)

22 スイッチ

23 コピーサーバ

24 ヘッダ変換機(VCC2)

25 呼処理プロセッサ(CPU)

30 コピーセル読出制御回路

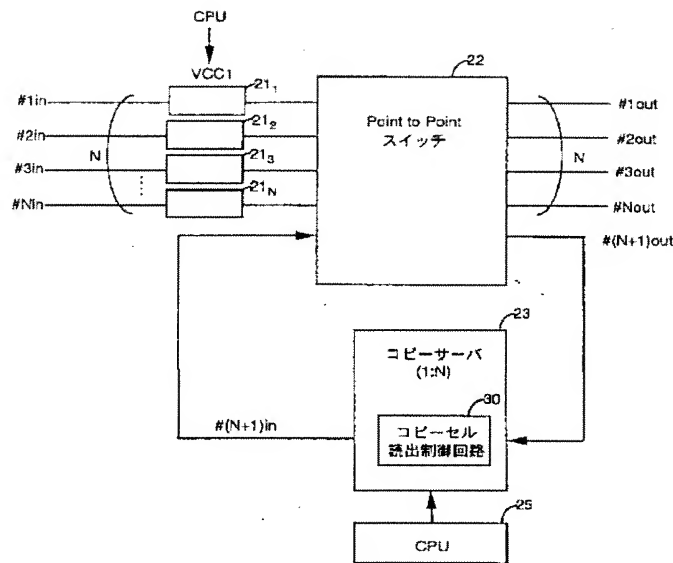
25

26

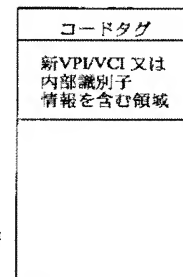
- 3 1 コピーセル格納アドレス読出制御回路
- 3 3 セレクタ
- 3 4 競合調整用FIFOメモリ
- 3 5 読出スケジュール回路
- 4 0 多重化回路
- 4 1 分離化回路
- 2 3 1 内部識別子抽出回路
- 2 3 2 ルーチングテーブル (RTBL) 検索回路

- 2 3 3 ルーチングテーブル (RTBL)
- 2 3 4 セルバッファ
- 2 3 5 セルヘッダ付替回路
- 3 1 1 シングルFIFOメモリ
- 3 2 1 宛先グループ別FIFOメモリ群
- 3 2 2 宛先グループ別シェーピング回路群
- 3 5 1 読出スケジュールテーブル

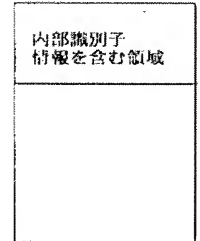
【図 1】



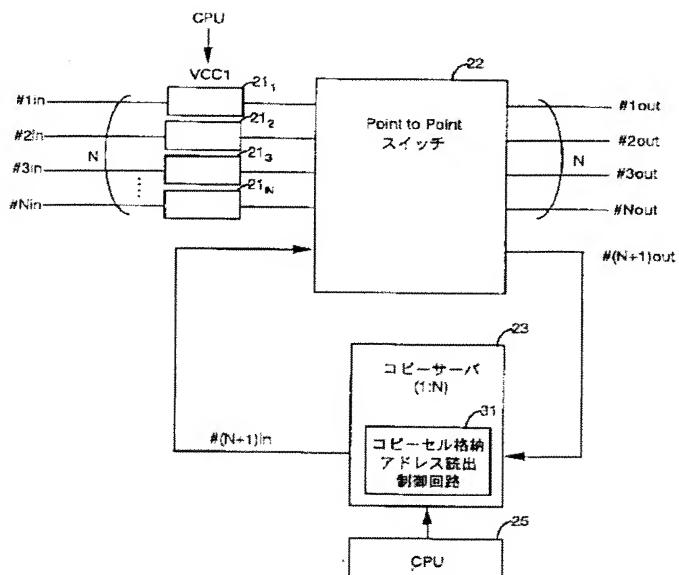
【図 2 3】



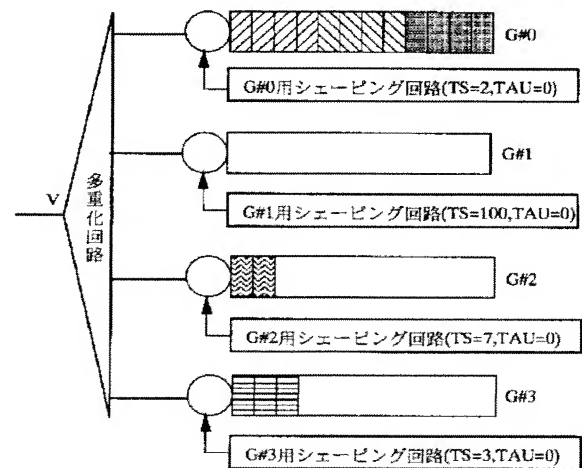
【図 2 5】



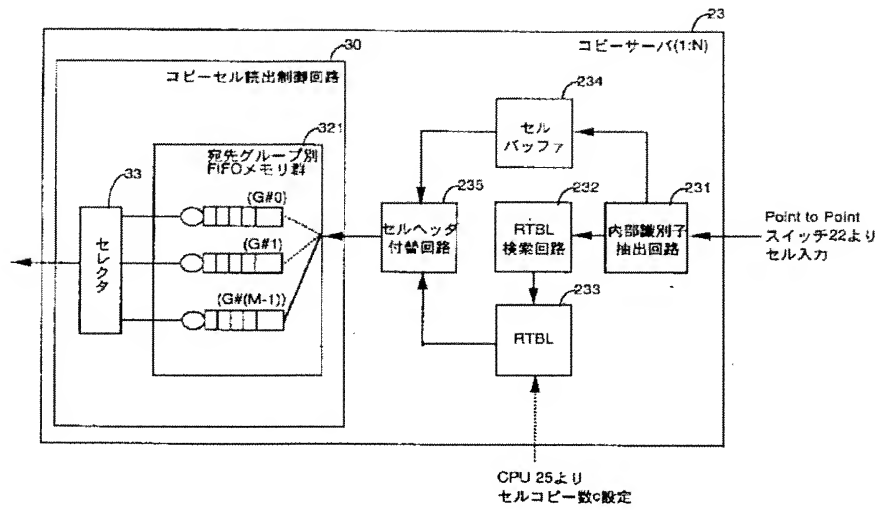
【図 2】



【図 8】

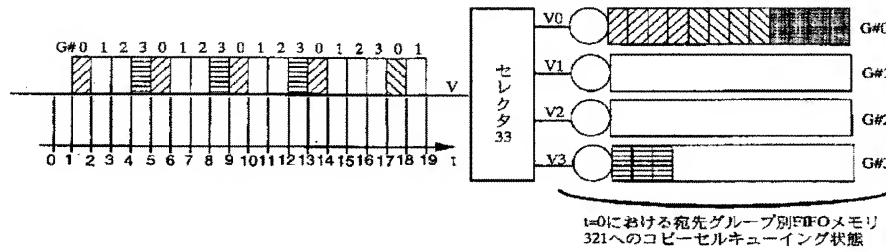


【図3】

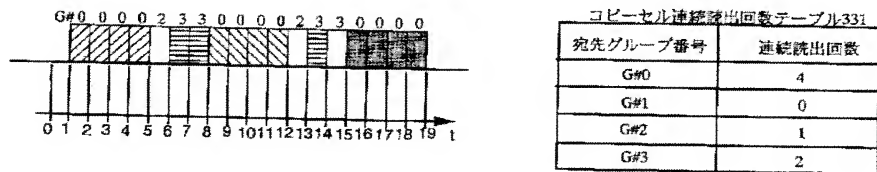


【図24】

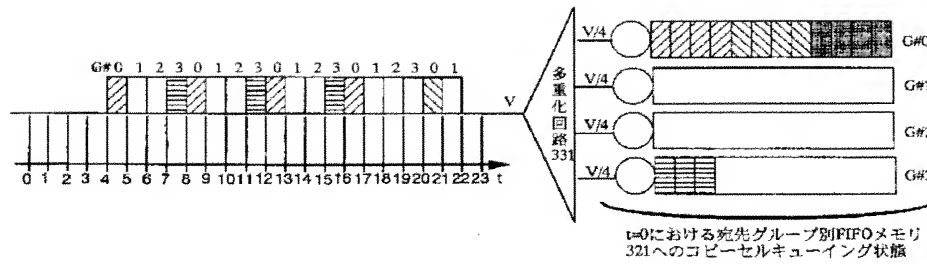
【図4】



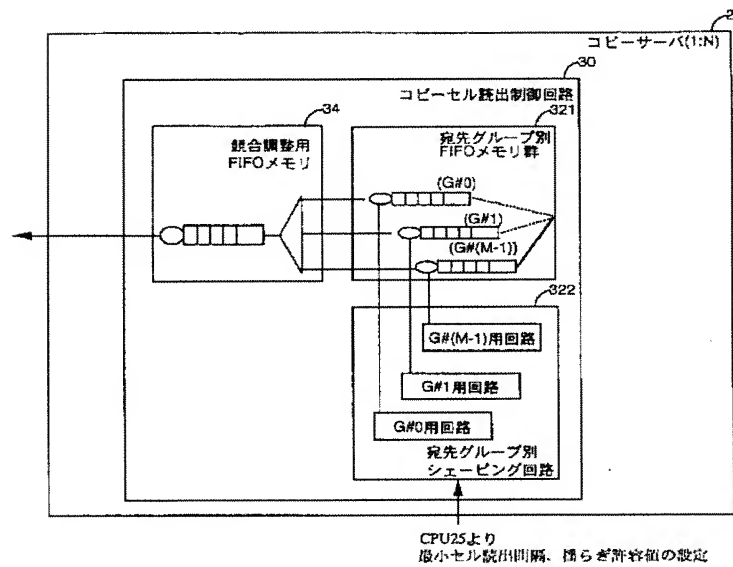
【図5】



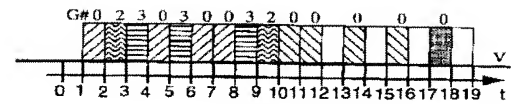
【図6】



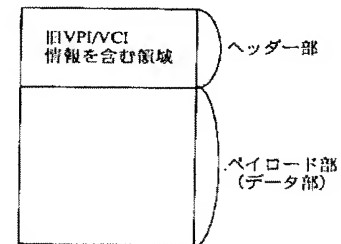
【図7】



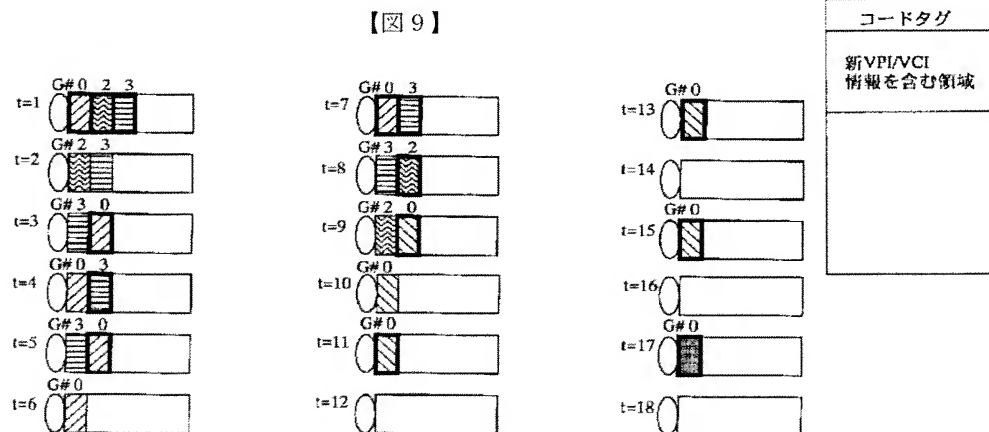
【図10】



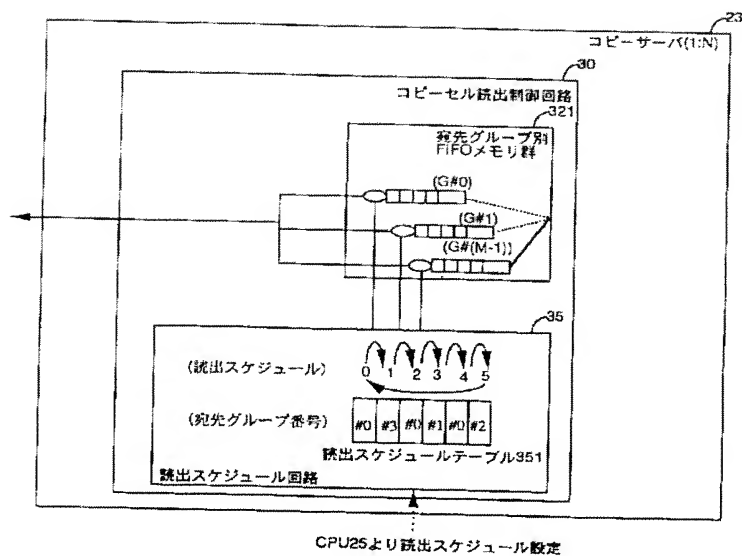
【図22】



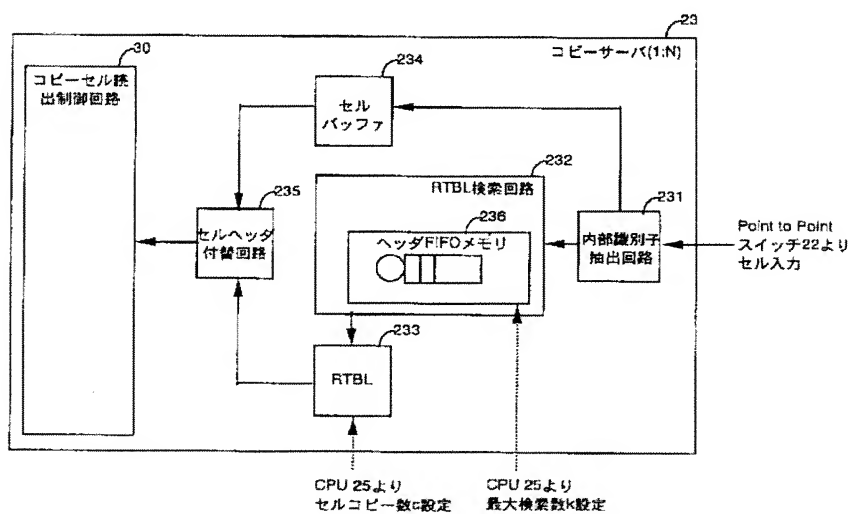
【図26】



【图 1-1】



【图 12】



【图 13】

内部識別子	コードタグ					VPI/VC1				
	#0	#1	#2	#3 #31	#0	#1	#2	#3 #31
0	1	0	1	1	0	0	a	b	c	
1	1	0	0	0	0	0	c			
2	0	0	1	1	0	0		e	f	
3	0	0	1	1	1	0		b	c	f
4095	1	1	1	1	1	0	a	b	c	d e

【図 1 4】

内部識別子	同報番号	コードタグ	VPI/VCI	有/無
0	0	#0	a	1
0	1	#2	b	1
0	2	#3	c	0
0	63	x		0
1	0	#0	e	0
1	63	x		0
2	0	#2	e	1
2	1	#3	f	0
2	63	x		0
4095	63	x		0

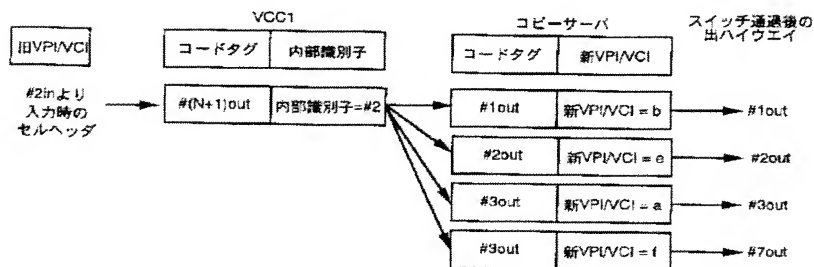
有/無：有効/無効フラグの略

【図 1 5】

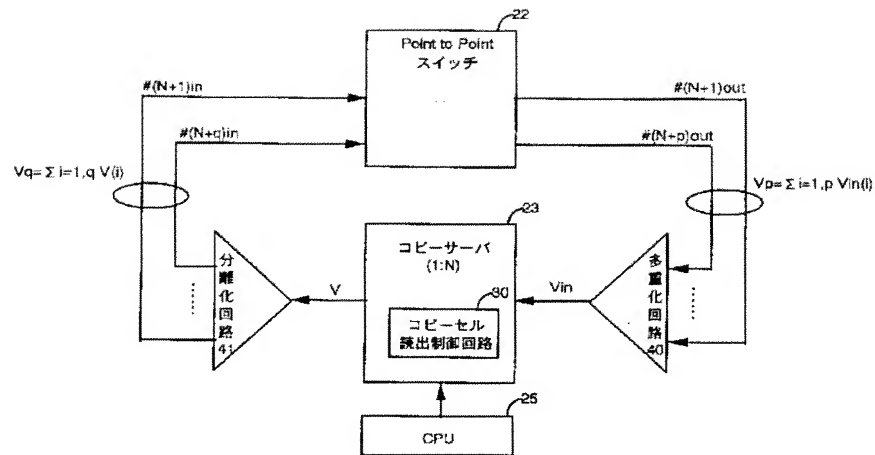
内部識別子	同報番号	コードタグ	VPI/VCI	EB
0	0	#0	a	0
0	1	#2	b	1
0	2	#3	c	0
0	63	x		0
1	0	#0	e	0
1	63	x		0
2	0	#2	e	1
2	1	#3	f	0
2	63	x		0
4095	63	x		0

EB：エンドビットフラグの略

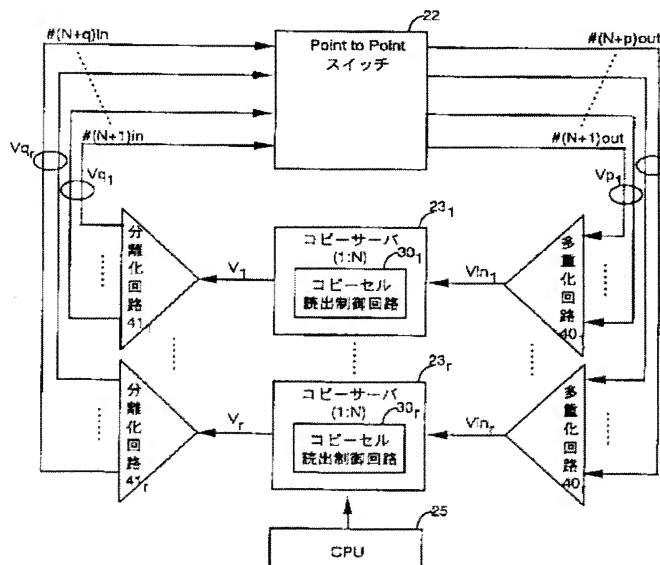
【図 2 7】



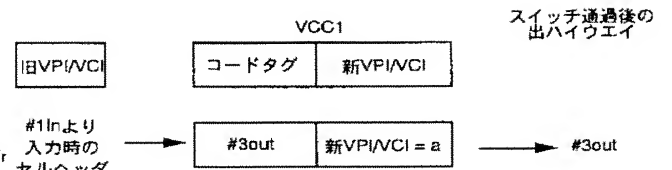
【図16】



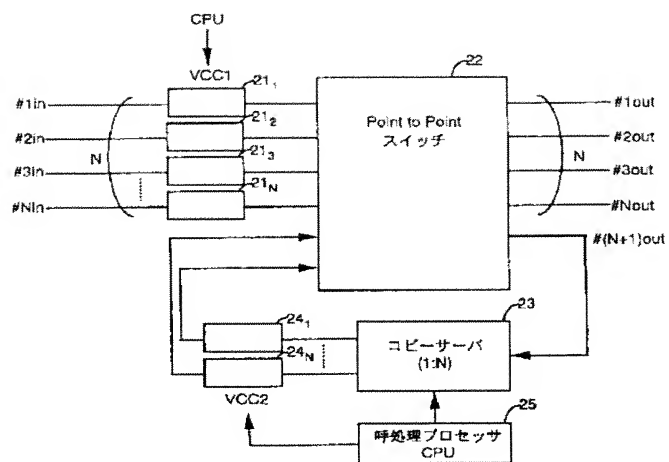
【図17】



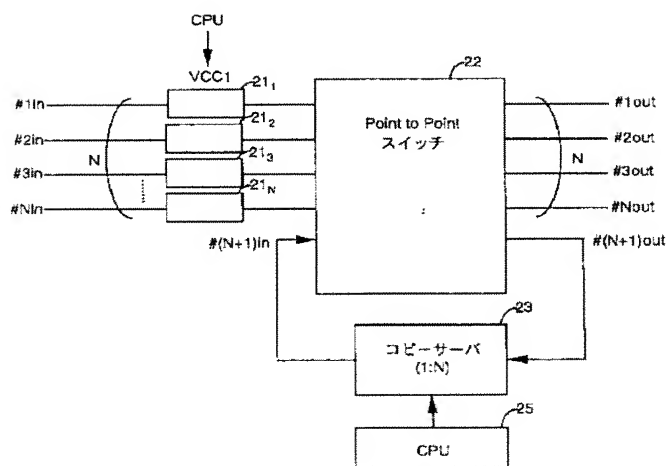
【図21】



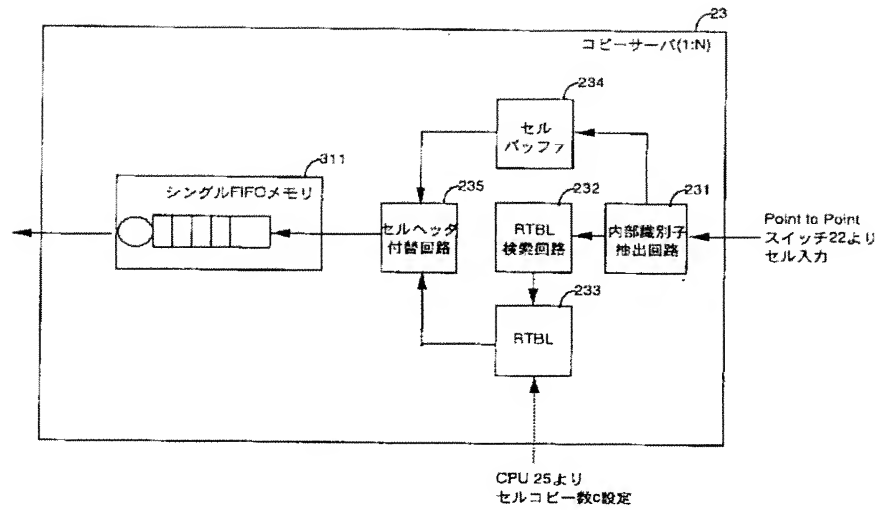
【図 18】



【図 19】



【図20】



フロントページの続き

(72) 発明者 斎藤 泰孝
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 都築 宗徳
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
Fターム(参考) 5K030 GA06 GA11 HA10 HB14 HB29
HC06 JA01 KA03 KA15 KA22
KX13 KX28 LB06 LC02 LD02